电子电路设计训练数字部分实验说明

**实验时间**：第十三周~第十六周，按照课表上课时间。

**实验方式**：仿真实验，实验工具：Modelsim。

**检查形式**：

每一周的实验报告在下次实验之前发给助教，word或者pdf都可以；

实验报告命名方式：“学号\_姓名\_数字实验1”。

**实验内容**：数字部分一共七个实验，分四周完成。实验内容见《Verilog数字系统设计教程(第二版) 夏宇闻》电子书的第三部分：设计示范与实验练习，P313~P366。

实验安排如下：

第十三周的实验内容是：

练习一、简单的组合逻辑设计

练习二、简单分频时序逻辑电路的设计

实验目的：熟悉硬件开发流程，掌握Modelsim设计与仿真环境，学会简单组合逻辑电路、简单时序逻辑电路设计，不要求掌握综合和综合后仿真。

第十四周的实验内容是：

练习三、利用条件语句实现计数分频时序电路

练习五、用always块实现较复杂组合逻辑电路

实验目的：掌握较为复杂电路设计方法。

第十五周的实验内容是：

练习六、在Verilog中使用函数

练习七、在Verilog中使用任务

实验目的：掌握函数和任务的开发与使用。

第十六周的实验内容是：

练习八、利用有限状态机进行时序逻辑设计

实验目的：掌握同步状态机设计方法。

*Modelsim下载链接：https://pan.baidu.com/s/1CSdbdiaeukaHXA2PMtD51A 提取码：hrj3*